

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-91377

(P2002-91377A)

(43) 公開日 平成14年3月27日 (2002.3.27)

(51) Int.Cl. ⁷	識別記号	F I	ナコード [*] (参考)
G 0 9 G 3/30		C 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	3 3 8	C 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	C 0 9 G 3/20	6 1 1 H
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数7 OL (全6頁) 最終頁に続く

(21) 出願番号 特願2000-280115(P2000-280115)

(22) 出願日 平成12年9月11日 (2000.9.11)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 木藤 浩二

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(72) 発明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

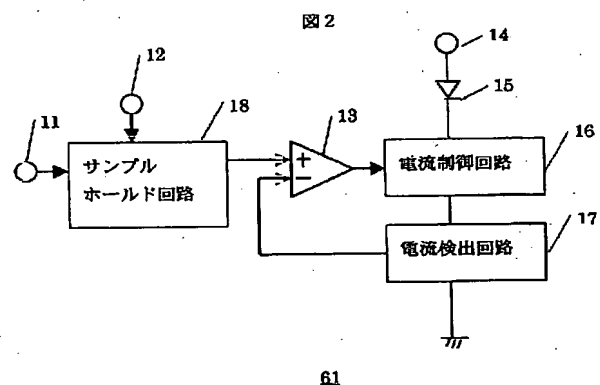
BEST AVAILABLE COPY

(54) 【発明の名称】 有機ELディスプレイ装置

(57) 【要約】

【課題】 アクティブマトリクス薄膜トランジスタ (TFT) の特性ばらつきにより画素ごとに有機ELを流れる電流が異なることに起因して生ずる、画面の輝度むらを低減する。

【解決手段】 画素内に有機EL素子(15)の電流を検出する電流検出回路(17)と、該電流検出回路(17)の出力電圧とサンプルホールド回路(18)の出力電圧の差分を増幅しその出力電圧を電流制御回路に入力する誤差増幅回路(13)を設け、負帰還動作により電流検出回路(17)の出力電圧とサンプルホールド(18)回路の出力電圧が等しくなるように構成した。



【特許請求の範囲】

【請求項1】複数の有機EL素子をマトリクス上に配置して構成された表示パネルを用いて、入力された画像信号に基づき画像の表示を行うアクティブマトリクス型の有機ELディスプレイ装置において、前記画像信号をサンプルしてホールドするサンプルホールド回路と、前記有機EL素子の電流を検出する電流検出回路と、該電流検出回路の出力電圧と前記サンプルホールド回路の出力電圧との差分を増幅して出力する誤差増幅回路と、該誤差増幅回路の出力に基づき前記有機EL素子の電流を制御する電流制御回路とを有することを特徴とする有機ELディスプレイ装置。

【請求項2】前記誤差増幅回路は、差動増幅回路を構成する2個の薄膜トランジスタを含むことを特徴とする請求項1記載の有機ELディスプレイ。

【請求項3】前記誤差増幅回路は、ゲートが前記サンプルホールド回路に接続され、ソースが前記電流検出回路に接続された薄膜トランジスタを含むことを特徴とする請求項1記載の有機ELディスプレイ。

【請求項4】複数の有機EL素子をマトリクス上に配置して構成された表示パネルを用いて、入力された画像信号に基づき画像の表示を行うアクティブマトリクス型の有機ELディスプレイ装置において、前記画像信号に対応する電流に基づき前記有機EL素子に流れる電流を制御する回路を有し、該回路は、前記有機EL素子の電流と前記画像信号に対応する電流との比率がほぼ一定となるように前記有機EL素子の電流を制御することを特徴とする有機ELディスプレイ装置。

【請求項5】前記回路は、前記有機EL素子の電流を制御するための第1の薄膜トランジスタと、該第1の薄膜トランジスタと近接して配置され、かつ前記画像信号に対応する電流が供給される第2の薄膜トランジスタとを含むカレントミラー回路を有することを特徴とする請求項4記載の有機ELディスプレイ装置。

【請求項6】前記回路は、第1の薄膜トランジスタと、該第1の薄膜トランジスタのドレインとそのソースが接続される第2の薄膜トランジスタと、前記第1と第2の薄膜トランジスタの接続部にそのゲート及びドレインが接続される第3の薄膜トランジスタと、該第3の薄膜トランジスタのゲート-ソース間電圧が充電されるホールドコンデンサと、前記有機EL素子に流れる電流を制御するためのものであって、前記第3の薄膜トランジスタに近接して配置され、かつ前記ホールドコンデンサの両端電圧がそのゲートに印加される第4の薄膜トランジスタとを含むことを特徴とする有機ELディスプレイ装置。

【請求項7】前記第1及び第2の薄膜トランジスタのゲートには、それぞれ前記画像信号をサンプリングするための、互いに位相が異なるパルス信号が供給されることを特徴とする請求項6に記載の有機ELディスプレイ装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の有機エレクトロミネセンス（有機EL）素子をマトリクス上に配置して構成した表示パネルを用いたディスプレイ装置に係り、特に、その駆動回路の改良により有機EL素子間の輝度のばらつきを低減するようにした有機ELディスプレイ装置に関するものである。

【0002】

【従来の技術】フラットパネルディスプレイとして有機EL素子を用いたものが提案されている。有機EL素子はたとえば陽極、正孔注入層、有機発光体層、陰極を積層した素子であり、電気的には発光ダイオードに似た特性を示すことから有機発光ダイオードとも呼ばれている。

【0003】この有機EL素子をマトリクス構造に構成し、画像信号に応じて駆動することによりディスプレイが実現出来る。マトリクス構造には液晶と同様にパッシブ型とアクティブ型がある。アクティブ型の画素は、有機EL素子と、液晶同様のサンプルホールド用薄膜トランジスタ（TFT）及びホールドコンデンサと、有機EL素子に電流を流す薄膜トランジスタ（TFT）から構成されている。薄膜トランジスタ（TFT）は低温ポリシリコンプロセスにて作成される。このようなアクティブマトリクス型有機ELディスプレイに関する従来技術としては、例えば、特開平8-241048号公報、特開平9-161222号公報、特開平9-16123号公報等に記載されたものが知られている。

【0004】

【発明が解決しようとする課題】上記従来例では、アクティブマトリクス画素内の薄膜トランジスタ（TFT）の特性ばらつきが考慮されておらず、画素ごとに輝度が異なり画面内に輝度むらが発生する課題があった。すなわち、有機EL素子の輝度は有機EL素子を流れる電流に比例するが、有機EL素子に電流を流すTFTのゲート電圧-ドレイン電流特性にばらつきが生じるため、各画素に同じ信号電圧を入力しても有機ELを流れる電流にもばらつきが生じ、結果として、輝度むらが発生するという課題があった。

【0005】本発明は、上記の如く過大に鑑みて為されたものであって、その目的は、薄膜トランジスタの特性ばらつきによらず輝度むらの少ないアクティブマトリクス型有機ELディスプレイ装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するための、本発明に係るアクティブマトリクス型の有機ELディスプレイ装置は、入力画像信号をサンプルしてホールドするサンプルホールド回路と、前記有機EL素子の電流を検出する電流検出回路と、該電流検出回路の出力電

圧と前記サンプルホールド回路の出力電圧との差分を増幅して出力する誤差増幅回路と、該誤差増幅回路の出力に基づき前記有機EL素子の電流を制御する電流制御回路とを設けたことを特徴とするものである。これにより前記有電流制御回路を構成する薄膜トランジスタのばらつきを低減させて輝度むらを減少させるようにした。

【0007】また、画像信号に対応する電流に基づき有機EL素子に流れる電流を制御する回路を設け、この回路を、前記有機EL素子の電流と前記画像信号に対応する電流との比率がほぼ一定となるように前記有機EL素子の電流を制御する構成としてもよい。

【0008】前記回路は、前記有機EL素子の電流を制御するための第1の薄膜トランジスタと、該第1の薄膜トランジスタと近接して配置され、かつ前記画像信号に対応する電流が供給される第2の薄膜トランジスタとを含むカレントミラー回路を有するものとしてもよい。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は、本発明に係る有機ELディスプレイ装置のブロック図である。図1において、画像信号は、画像信号入力インターフェース1から入力される。画像信号の形式により制御回路2の内部構成は異なるが、制御回路2は入力された画像信号からX軸同期信号、Y軸同期信号、画像信号を発生する動作を行う。X軸同期信号はX軸駆動回路4に与えられ、X軸方向の画素選択動作を行う。Y軸同期信号はY軸駆動回路3に与えられ、Y軸方向の画素選択動作を行う。有機EL素子マトリクス6は、複数の有機EL素子がマトリクス状に配置されて構成された画像を表示するための表示パネルであって、電源回路5から有機EL素子を発光させるための電源が供給されている。画像信号がX軸駆動回路4を経て選択されたアクティブマトリクス画素61に順次入力されることにより画像が表示される。

【0010】図2は、図1の有機EL素子マトリクス6を構成するアクティブマトリクス画素61の動作を説明するためのブロック図である。図2において、11は電圧信号入力端子、12はサンプルホールドパルス入力端子、13は誤差増幅回路、14は電源端子、15は有機EL素子、16は電流制御回路、17は電流検出回路、18はサンプルホールド回路である。動作は次の通りである。画像信号は、電圧信号入力端子11から電圧信号の形式でサンプルホールド回路18に入力される。サンプルホールド回路18はサンプルホールドパルス入力端子12から入力されたサンプルホールドパルスにより電圧信号入力端子11から入力された電圧信号を一定期間（通常はリフレッシュ時間）保持する。保持された電圧は誤差増幅回路13の一方の入力に入力される。電源端子14からの電流は有機EL素子15、電流制御回路16、電流検出回路17を流れ、電流検出回路17にてこの電流を電圧として検出し誤差増幅回路13のもう一方

の入力に入力される。

【0011】誤差増幅回路13は電流検出回路17の出力電圧とサンプルホールド回路18の出力電圧を比較してその差分を増幅し、その出力電圧を電流制御回路16に入力することにより電流検出回路の出力電圧とサンプルホールド回路の出力電圧が等しくなる負帰還動作を行う。この結果、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子15に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0012】図3は、本発明に係るアクティブマトリクス画素の第1の実施形態を示す回路図である。図3において、21はnチャンネル型薄膜トランジスタ（以下、TFTと略す）、22はホールドコンデンサ、23、24、25はnチャンネルTFT、26、27、28は抵抗器である。この実施形態では、サンプルホールド回路18はnチャンネルTFT21とホールドコンデンサ22から構成されていて、ホールドコンデンサ22の両端電圧として画像信号電圧が保持される。誤差増幅回路13はnチャンネルTFT23、24と抵抗器26、27からなる差動増幅回路で構成されている。電流検出回路17は抵抗器28で、電圧制御回路16はnチャンネルTFT25で構成されている。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子15に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0013】図4は、本発明に係るアクティブマトリクス画素の第2の実施形態を示す回路図である。図4において、29は抵抗器、30はpチャンネルTFT、151は有機EL素子である。この実施形態では、誤差増幅回路13はnチャンネルTFT23、24と抵抗器26、29からなる差動増幅回路で構成されている点と、電圧制御回路16がpチャンネルTFT30で構成されていて有機EL素子151の接続位置が変更になっている点が図3の第1の実施例と異なる。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子151に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0014】図5は、本発明に係るアクティブマトリクス画素の第3の実施形態を示す回路図である。図5において、31はホールドコンデンサ、32、33、34はpチャンネルTFT、35はnチャンネルTFT、36、37、38は抵抗器である。この実施形態ではサンプルホールド回路18はpチャンネルTFT32とホールドコンデンサ31から構成されていて、ホールドコンデンサ31の両端電圧として画像信号電圧が保持される。誤差増幅回路13はpチャンネルTFT33、34と抵抗器36、37からなる差動増幅回路で構成され

(4) 開2002-91377 (P2002-91377A)

ている。電流検出回路17は抵抗器38で、電圧制御回路16はnチャンネルTFT35で構成されている。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子151に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0015】図6は、本発明に係るアクティブマトリクス画素の第4の実施形態を示す回路図である。図6において、39は抵抗器、40はpチャンネルTFT、152は有機EL素子である。この実施形態では、誤差増幅回路13はpチャンネルTFT33、34と抵抗器37、39からなる差動増幅回路で構成されている点と、電圧制御回路16がpチャンネルTFT40で構成されていて有機EL素子152の接続位置が変更になっている点が図5の第3の実施例と異なる。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子152に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0016】図7は、本発明に係るアクティブマトリクス画素の第5の実施形態を示す回路図である。図7において、41はnチャンネルTFT、42は抵抗器である。この実施形態は図3の第1の実施形態を簡易化したものであり、誤差増幅回路13がnチャンネルTFT41と抵抗器27で、電流検出回路17が抵抗28、42から構成されている点が異なっている。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子15に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0017】図8は、本発明に係るアクティブマトリクス画素の第6の実施形態を示す回路図である。図8において、43はpチャンネルTFT、44は抵抗器である。この実施形態は図6の第4の実施形態を簡易化したものであり、誤差増幅回路13がpチャンネルTFT43と抵抗器39で、電流検出回路17が抵抗38、44から構成されている点が異なっている。回路動作は図2で説明した通りであり、各画素の電圧信号入力端子11から入力される同じ電圧信号に対し同じ電流が各画素の有機EL素子152に流れるので、各画素の輝度は同一となり輝度むらが低減される。

【0018】尚、図3から図8の実施形態において、各抵抗器は適当なバイアスを与えた薄膜トランジスタで構成してもよい。

【0019】図9は、本発明に係るアクティブマトリクス画素の第7の実施形態を示す回路図である。図9において、50、51、52、53はnチャンネルTFT、54はホールドコンデンサ、111は電流信号入力端子、121は第2のサンプルホールドパルス入力端子である。この実施形態では、画像信号は電流信号入力端子

111から電流信号の形式で入力される。第2のサンプルホールドパルス入力端子121には、第1のサンプルホールドパルス入力端子12に入力されるパルスより遅延したパルスを使用する。すなわちTFT50のオンオフはTFT51のオンオフより遅れる様に構成する。よって、第1のサンプルホールドパルス入力端子12に入力されるサンプルホールドパルスの位相と、第2のサンプルホールドパルス入力端子121に入力されるサンプルホールドパルスの位相とは、互いに異なっている。

【0020】この結果TFT51がオンした後、TFT50がオンするとTFT52に流入電流が流れ、ホールドコンデンサ54にはTFT52のドレイン電流に対応するゲートソース電圧が充電され、有機EL素子15に流れる電流を制御するためのTFT53のゲートに印加される。この電圧は、TFT51がオフすると一定時間保持される。この結果、TFT52とTFT53を近接して設けると製造条件がほぼ等しいため二つのTFTの特性は似たものになるから、TFT53のドレイン電流すなわち有機EL素子の電流は入力した電流信号と一定の比率になる。すなわち、TFT52とTFT53は、カレントミラー回路を構成している。各画素の電流信号入力端子111から入力される同じ電流信号に対し同じ電流が各画素の有機EL素子15に流れるので、各画素の輝度は同一となり輝度むらが低減される。この実施例では、サンプルホールドパルスとして互いに位相が異なる2種類のパルスを使用しているが、TFT51とTFT52の特性を異ならしめることにより1種類のパルスでも動作可能である。

【0021】図10は、本発明に係るアクティブマトリクス画素の第8の実施形態を示す回路図である。図10において、55、56、57、58はpチャンネルTFT、59はホールドコンデンサである。図10の実施形態は、図9の第7の実施形態のTFTをpチャンネルで構成し、ホールドコンデンサ59、有機EL素子の接続位置が変更になっている点が異なるが、基本的な動作及び効果は図9の第7の実施例と同様である。

【0022】以上の実施形態で説明した通り、本発明により画素内の薄膜トランジスタの特性ばらつきによらず輝度むらの少ない有機ELディスプレイを提供出来る効果がある。

【0023】

【発明の効果】以上のように、本発明によれば、画素内の薄膜トランジスタの特性ばらつきによらず輝度むらの少ない有機ELディスプレイを提供出来る効果がある。

【図面の簡単な説明】

【図1】本発明の有機ELディスプレイのブロック図

【図2】本発明のアクティブマトリクス画素の動作を説明するためのブロック図

【図3】本発明に係るアクティブマトリクス画素の第1の実施形態を示す回路図

【図4】本発明に係るアクティブマトリクス画素の第2の実施形態を示す回路図

【図5】本発明に係るアクティブマトリクス画素の第3の実施形態を示す回路図

【図6】本発明に係るアクティブマトリクス画素の第4の実施形態を示す回路図

【図7】本発明に係るアクティブマトリクス画素の第5の実施形態を示す回路図

【図8】本発明に係るアクティブマトリクス画素の第6の実施形態を示す回路図

【図9】本発明に係るアクティブマトリクス画素の第7

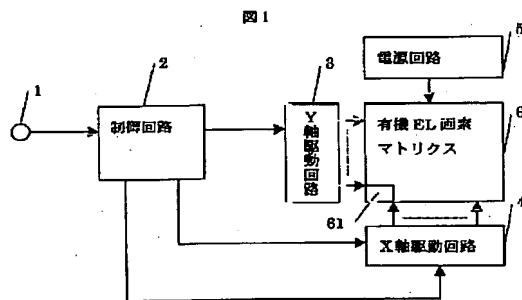
の実施形態を示す回路図

【図10】本発明に係るアクティブマトリクス画素の第8の実施形態を示す回路図

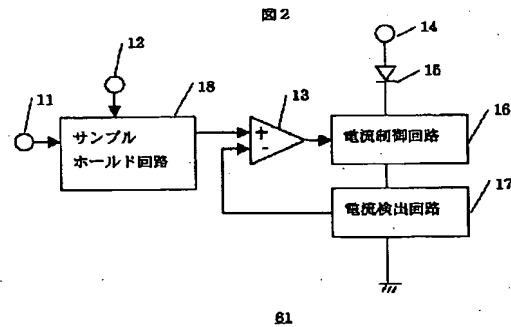
【符号の説明】

1…画像信号入力インターフェース、2…制御回路、3…Y軸駆動回路、4…X軸駆動回路、5…電源回路、6…有機EL素子マトリクス、11…電圧信号入力端子、12…サンプルホールドパルス入力端子、13…誤差増幅回路、14…電源端子、15、151、152…有機EL素子、16…電流制御回路、17…電流検出回路、18…サンプルホールド回路。

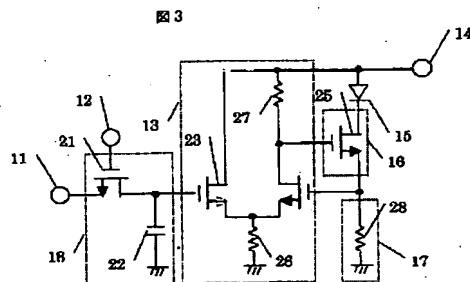
【図1】



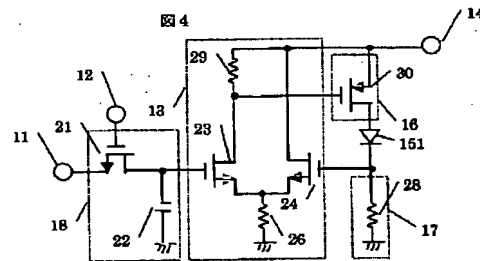
【図2】



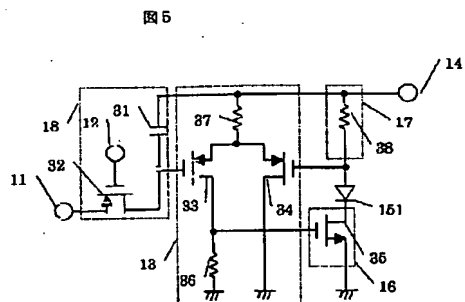
【図3】



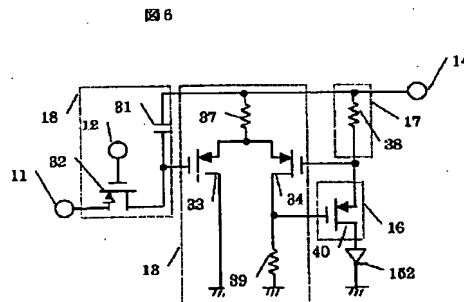
【図4】



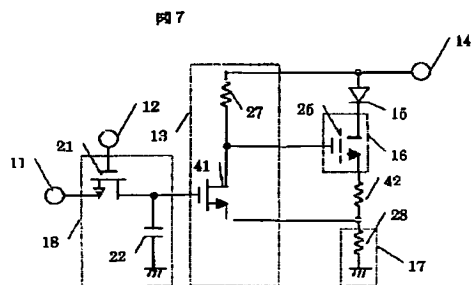
【図5】



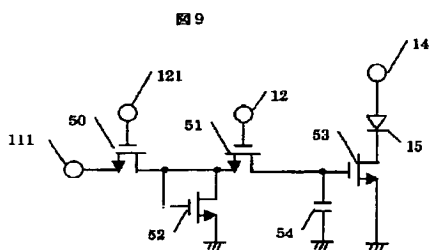
【図6】



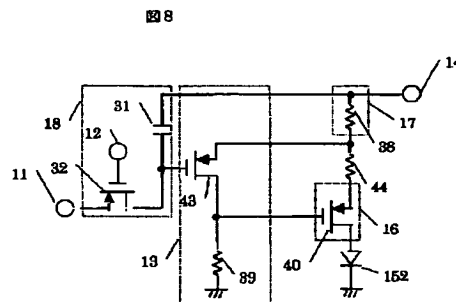
【図7】



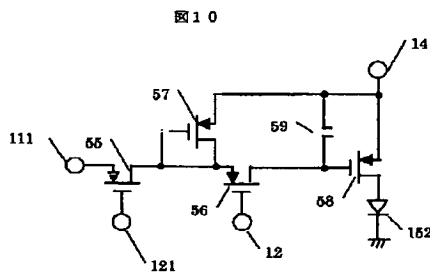
【図9】



【図8】



【図10】



BEST AVAILABLE COPY

フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

(参考)

// H 0 5 B 33/14

H 0 5 B 33/14

A

Fターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03
EB00 GA04
5C080 AA06 BB05 DD05 DD28 EE29
FF11 JJ02 JJ03
5C094 AA03 AA07 AA56 BA03 BA27
CA19 DA09 DB01 DB02 DB04
EA04 EA10 FA01 FB12 FB14
FB15 GA10